

Wie Alterungsmodelle für integrierte Transistoren die Entwicklung zuverlässiger Systeme unterstützen

How degradation models of integrated transistors support the development of reliable electronic systems

Dr.-Ing. **A. Lange**, Dr. rer. nat. **K.-U. Giering**, Dr.-Ing. **R. Jancke**,
Fraunhofer-Institut für Integrierte Schaltungen IIS, Institutsteil
Entwicklung Adaptiver Systeme EAS, Dresden

Kurzfassung

Zuverlässige Systeme können nur aus zuverlässigen Komponenten aufgebaut werden. Deshalb ist die Langlebigkeit auch im Entwurf integrierter Schaltkreise (ICs) eine Anforderung mit wachsender Bedeutung trotz steigendem Kostendruck. Transistoren, die wesentlichen Bausteine von ICs, werden von verschiedenen Degradationsmechanismen beeinflusst. Deren Auswirkungen auf das Verhalten von Schaltungen können durch Alterungssimulationen während der Entwurfsphase, also vor der Fertigung, untersucht werden. Dieser Beitrag stellt die Simulationsmethodik und die Degradationsmechanismen integrierter Transistoren vor und leitet auf Alterungsmodelle über. Lösungsmöglichkeiten, Anforderungen, erforderliche Messungen, Modellparametrisierung sowie Anknüpfungspunkte zur Zuverlässigkeitsbewertung in anderen Fachgebieten, zum Beispiel im Maschinenbau, werden vorgestellt und ein Ausblick auf zukünftige Entwicklungsmöglichkeiten gegeben.

Abstract

Reliable systems can only be realized with reliable components. Thus, reliability has become a requirement in integrated circuit (IC) design as well. Its importance has been rising despite the pressure for cost efficiency. Transistors, the major components of ICs, are affected by multiple degradation mechanisms. Their impact on circuit performance can be virtually investigated by aging simulations in the design phase already, that is before manufacturing. This article introduces the physical mechanisms and the aging simulation methodology. It leads over to the required degradation models and discusses current solution approaches as well as potential future directions with respect to requirements, characterization procedures, parameter extraction, and links to reliability considerations in other disciplines, such as mechanical engineering.

1. Einleitung

Insbesondere in der Automobilelektronik und der Industrieautomation werden hohe Anforderungen an die Zuverlässigkeit elektronischer Systeme gestellt. Produkte in diesen Bereichen müssen über einen langen Zeitraum von 10 Jahren und mehr sowie unter rauen Umgebungsbedingungen funktionieren. Zum Teil werden sie an schwer erreichbaren Stellen verbaut, sodass Reparatur, Wartung oder Austausch einen erheblichen Aufwand verursachen. Die hohen Anforderungen gelten auch für integrierte Schaltkreise (ICs), die wesentliche Bestandteile elektronischer System sind. Ihre Zuverlässigkeit wird mit Zuverlässigkeitstests nachgewiesen. Zum Beispiel muss für Automotive-ICs mindestens der Standard AEC-Q100 [1] befolgt werden.

Ein idealer Ablauf von einer Idee bis zu einem zuverlässigen IC als Produkt ist in Bild 1 dargestellt. Die Zwischenstufe stellen Prototypen dar, die entsprechend getestet werden. Heute werden Schwierigkeiten bezüglich Funktionalität oder Zuverlässigkeit häufig in diesen Tests, z.B. nach AEC-Q100, identifiziert. Sie müssen dann in Re-Designs behoben und durch erneute Tests an Prototypen untersucht werden. Im Jahr 2020 benötigten knapp 70 % aller anwendungsspezifischen ICs ein Re-Design, und in etwa 20 % der Fälle war die Zuverlässigkeit ein Problem [2]. Um Zyklen aus Prototypen, Tests und Re-Designs zu vermeiden bzw. zumindest ihre Anzahl zu verringern, muss in Zukunft die Zuverlässigkeit virtuell bereits in Entwurfsphasen von ICs bewertet werden. Dann werden Probleme frühzeitig identifiziert und vor dem Übergang in die Fertigung behoben. Durch so vermiedene Re-Design-Zyklen können ICs kostengünstiger und schneller entwickelt sowie früher am Markt platziert werden – und das bei mindestens gleichbleibender Funktionalität und Zuverlässigkeit.

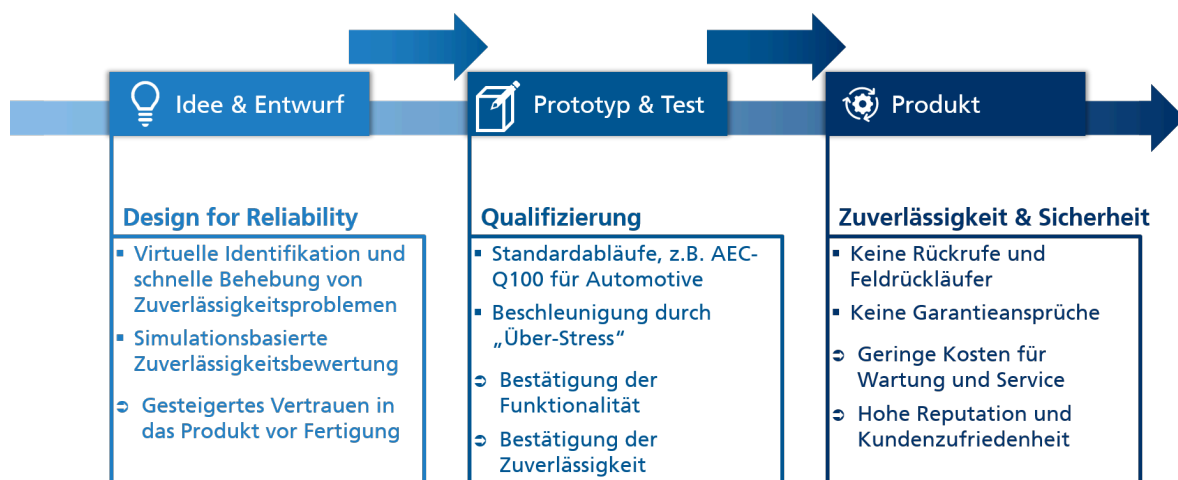


Bild 1: Idealer Ablauf von Idee & Entwurf über Prototyp & Test zum zuverlässigen IC

Dafür werden jedoch simulationsbasierte Zuverlässigkeitsbewertungen benötigt. Zum Beispiel untersucht die Alterungssimulation die Auswirkungen der Degradation integrierter Transistoren auf ICs. Dieser Beitrag widmet sich vorrangig den benötigten Modellen für Feldeffekttransistoren (FETs). Dazu wird von den physikalischen Effekten zu Methoden für die Charakterisierung und Beschreibung übergegangen und ein Überblick zum aktuellen Stand und Möglichkeiten der zukünftigen Entwicklung gegeben.

2. Qualifizierung von Automotive-ICs nach AEC-Q100

Der Nachweis der Zuverlässigkeit erfolgt für Automotive-ICs mit Messungen, die im Standard AEC-Q100 zusammengefasst sind [1]. Im Wesentlichen kann dabei in zwei Kategorien unterschieden werden: die Produktqualifizierung und die Technologiequalifizierung.

Ein Beispiel für einen Test am Produkt ist der HTOL-Test (High Temperature Operating Life), bei dem eine Stichprobe aus je 77 Produkten aus drei Losen im Betrieb einer erhöhten Temperaturbelastung ausgesetzt wird, z.B. 150 °C für „Grade 0“-Einstufung. Nach 1000 Stunden Belastung müssen alle Stichprobenelemente Funktionstests bei Raumtemperatur sowie hoher und niedriger Temperatur überstehen, damit der HTOL-Test als bestanden gilt. Der Test ist in der Industrie breit akzeptiert, lässt jedoch Fragen offen. Inwiefern ist der verwendete Betriebszustand repräsentativ für den Einsatz des Produkts? Wann würden die ersten Ausfälle auftreten und wie sind diese verteilt? Wie kann man das Testkonzept für Hochtemperatur-Anwendungen erweitern, wenn eine Temperaturbeschleunigung nicht mehr möglich ist? Analysen wie der HTOL-Test werden auch in Zukunft in der Industrie für den Nachweis der Zuverlässigkeit eingesetzt. Für genauere Untersuchungen zu Ursachen und Auswirkungen von Problemen werden sie zukünftig vermutlich nicht ausreichen. Dafür wird eine geeignete Simulationsunterstützung erforderlich.

Die Technologiequalifizierung widmet sich unter anderem der Zuverlässigkeit von Halbleitertechnologien, in denen ICs gefertigt werden. Einer Degradation durch ihren Betrieb unterliegen integrierte Transistoren, z.B. durch Bias Temperature Instability (BTI) sowie Hot Carrier Injection (HCI), und Leiterbahnen, z.B. durch Stress- und Elektromigration. Entsprechende Messungen müssen durchgeführt und dokumentiert werden, wenn eine Technologie nach AEC-Q100 für Automotive-Anwendungen qualifiziert werden soll. Dabei wird nach standardisierten Methoden mit erhöhtem Stress in Form von Spannungen, Strömen und Temperaturen gearbeitet, um die Degradation zu beschleunigen [1,3]. Beschleunigungsmodelle erlauben eine Worst-Case-Abschätzung der erwarteten Zuverlässigkeit im Betrieb.

3. Degradationsmechanismen bei integrierten Feldeffekttransistoren

Von den unterschiedlichen Degradationsmechanismen an Transistoren sind für den Betrieb von ICs insbesondere HCI und BTI von Bedeutung, weil sie die Transistoreigenschaften und damit das Schaltungsverhalten kontinuierlich mit der Zeit verändern. Ihre mikroskopischen Prinzipien sind in Bild 2 dargestellt.

HCI tritt durch einen fließenden Drainstrom I_d auf, der durch die Drain-Source-Spannung V_{ds} und die Gate-Source-Spannung V_{gs} eingestellt wird. Die bewegten Ladungsträger werden zwischen Source und Drain beschleunigt und können irreversible Schäden nahe des Drain-Gebiets hervorrufen [4]. Dadurch nimmt die Ladungsträgerbeweglichkeit μ und in Folge dessen der Drainstrom I_d ab – die Übertragungskennlinie wird wie in Bild 3(a) dargestellt flacher. Der Effekt ist bei n-Kanal-FETs (NFET) stärker ausgeprägt als bei p-Kanal-FETs (PFET), und je nach Technologie weist er unterschiedliche Temperaturabhängigkeiten auf. Bei BTI unterscheidet man Negative BTI (NBTI) – Degradation eines PFET durch negative Gate-Source-Spannung V_{gs} – sowie Positive BTI (PBTI) – Degradation eines NFET durch positive Gate-Source-Spannung V_{gs} . Bei NBTI führt eine negative Gate-Source-Spannung V_{gs} dazu, dass positive Ladungsträger aus dem Substrat Richtung Gate-Dielektrikum

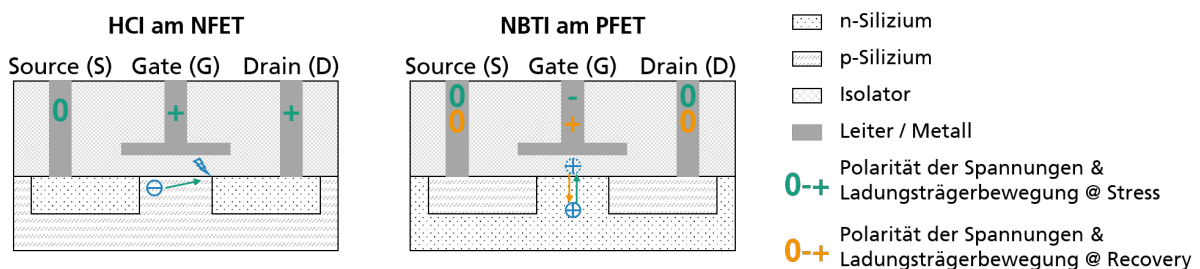


Bild 2: Schematischer Aufbau von NFET und PFET mit Prinzipdarstellung der Degradationseffekte HCI und NBTI

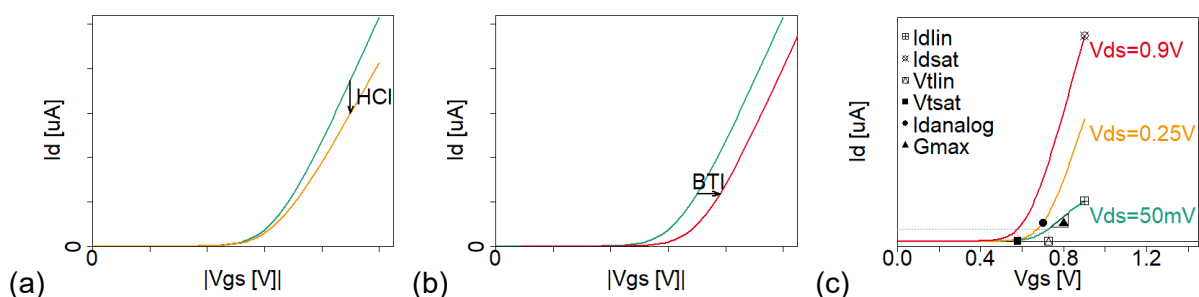


Bild 3: Prinzipielle Auswirkung von (a) HCI und (b) BTI auf die Übertragungskennlinien von FETs bei konstanter Drain-Source-Spannung V_{ds} ; (c) typische Kenngrößen zur Charakterisierung der Zuverlässigkeit für einen FET mit 900 mV Betriebsspannung

beschleunigt und in diesem eingefangen werden können [5]. Dadurch wächst der Betrag der Schwellspannung des Transistors, die Übertragungskennlinie verschiebt sich wie in Bild 3(b) zu betragsmäßig größeren Gate-Source-Spannungen V_{gs} . Die Degradation nimmt mit der Temperatur T zu. Wird die Belastung reduziert, können die Ladungen wieder freigelassen werden, was einer Erholung, der sogenannten Relaxation bzw. Recovery, entspricht.

Dadurch ist NBTI teilweise reversibel. Mit der Einführung von High-k-Metal-Gate-Technologien für Strukturgrößen von ca. 40 nm und darunter hat der Einfluss von PBTI an NFETs zugenommen. Dieser Effekt ist nahezu vollständig reversibel.

Für die Charakterisierung des Einflusses von HCI und BTI werden einzelne Transistoren nach standardisierten Methoden unter konstanter Belastung untersucht [3]. Wie z.B. im Maschinenbau wird mit erhöhter Belastung, aber unverändertem Schädigungsmechanismus gearbeitet. In Messzeiten von üblicherweise $10^4 \text{ s} \approx 3 \text{ h}$ wird dadurch eine gewisse Degradation erreicht, wobei meist keine vollständigen Kennlinien, sondern bestimmte Kenngrößen daraus ausgewertet werden. Wichtige Vertreter, z.B. der lineare Strom I_{dlin} und der Sättigungsstrom I_{dsat} sind in Bild 3(c) illustriert. Die aufgenommenen Daten werden durch Gleichungen beschrieben:

$$(d_{I_{dlin}}, d_{I_{dsat}}, \dots)_{t>0}^{[Mess]} = g(\text{"Belastung"}, \text{"Geometrie"}, T, t) \quad \text{mit der Zeit } t. \quad (1)$$

Ein Beispiel für eine solche Funktion $g(\cdot)$ ist im Abschnitt 5 angegeben. Dabei enthält die "Belastung" die elektrischen Größen im Betrieb (V_{ds} , V_{gs} , I_d), bzw. eine Auswahl davon.

"Geometrie" fasst Informationen über z.B. Länge und Weite eines Transistors zusammen.

Auf Basis dieser Beschreibungen kann eine Extrapolation hin zu langen Zeiten und typischer Belastung vorgenommen werden. Dieses Vorgehen ist für HCI etabliert. Es wird auch für BTI genutzt, erfasst dort aber lediglich den permanenten Anteil der Degradation. Soll die Relaxation berücksichtigt werden, sind umfangreichere Messprozeduren erforderlich.

Die Degradation durch HCI und BTI führt in Digitalschaltungen, z.B. Prozessoren, dazu, dass FETs später und langsamer schalten und die Leistungsfähigkeit mit der Zeit abnimmt. Auch analoge Schaltungen sind betroffen, jedoch pauschal weniger vorhersagbar, weil die verwendeten FETs individuell zeitabhängig belastet werden. Die Gegenüberstellung von Spezifikation, zeitabhängiger Änderung der Schaltungseigenschaften und angestrebter Lebensdauer liefert Aussagen darüber, ob die Degradation im konkreten Fall kritisch ist. Insbesondere bei langen Produktlebensdauern, wie in der Automobilelektronik und der Industrieautomation, sind solche Informationen von besonderer Bedeutung.

4. Alterungssimulation

Im Betrieb eines ICs treten an dessen Transistoren nicht-konstante und individuelle Belastungen auf. Deshalb sind die Informationen zu HCI und BTI aus der Technologiequalifizierung, wo mit konstanter Belastung gearbeitet wird, nur bedingt hilfreich. Der Einfluss von HCI und BTI auf das Verhalten des IC während der Nutzungsdauer kann in Alterungssimulationen untersucht werden [6]-[8]. Sie ergänzen gemäß Bild 4 den ohnehin üblichen Ablauf zur Verifikation im IC-Entwurf, beim dem die Schaltung in ein simulierbares Format für den Zeitpunkt $t = 0$ überführt, ihr Verhalten mit Testbenches für die Evaluierung simuliert und im Vergleich zur Spezifikation bewertet wird. Der Einfluss von HCI und BTI kann ebenso untersucht werden, wenn eine virtuelle Repräsentation der Schaltung nach k Jahren im Betrieb, z.B. 10-15 Jahre für Automobilanwendungen, vorliegt. Diese kann erzeugt werden, indem ein typisches Nutzungsszenario, das sogenannte Mission Profile, simuliert wird. Aus den Simulationsdaten wird die Belastung (V_{gs} , V_{ds} , I_d , ggf. T) für jeden FET extrahiert und mit Hilfe eines Alterungsmodells in individuelle Änderungen umgerechnet. Werden diese Änderungen für jeden FET individuell in die Schaltung eingetragen, entsteht die virtuell um k Jahre gealterte Schaltung. Neben dem Ablauf selbst sind die Mission Profiles und die Alterungsmodelle die zentralen Komponenten für die Alterungssimulation.

5. Alterungsmodelle

Nominalmodelle und Anforderungen

Für die Simulation von Schaltungen wird das Verhalten von FETs durch sogenannte Kompaktmodelle beschrieben. Diese verbinden die elektrische, technologische und geometrische Informationen. Ein einfaches Beispiel stellen die Gleichungen [9,10]

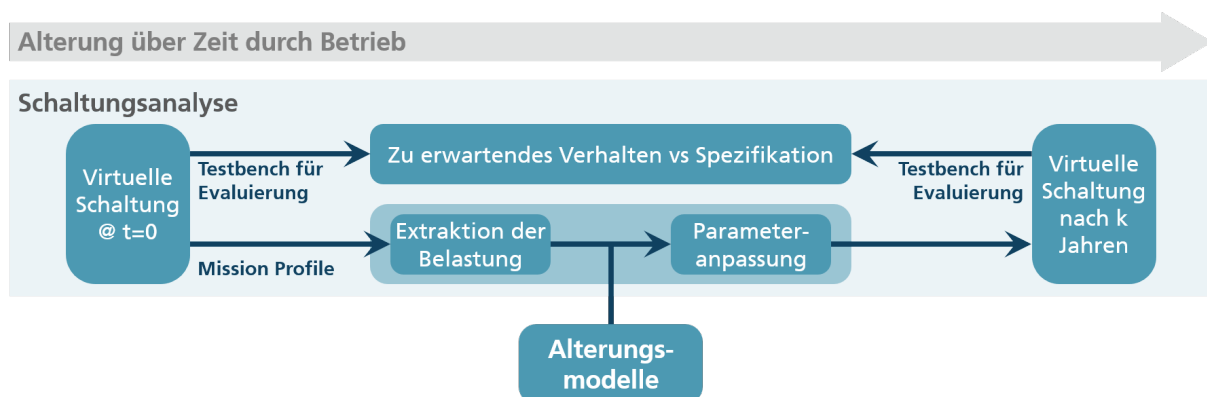


Bild 4: Prinzipieller Ablauf der Alterungssimulation im IC-Entwurf

$$I_d = \begin{cases} I_0 \cdot \exp\left(\frac{V_{gs} - V_{th}}{V_T \cdot n}\right) & V_{gs} < V_{th} \\ \beta \cdot \left([V_{gs} - V_{th}] \cdot V_{ds} - \frac{V_{ds}^2}{2}\right) & V_{th} \leq V_{gs} < V_{ds} \\ \frac{\beta}{2} \cdot (V_{gs} - V_{th})^2 & 0 \leq V_{gs} - V_{th} \leq V_{ds} \end{cases} \quad (2)$$

dar. Dabei sind I_0 , n , V_{th} und β die Modellparameter, und für die Temperaturspannung V_T gilt

$$V_T = \frac{k_B \cdot T}{q} \quad (3)$$

mit Boltzmann-Konstante k_B , Temperatur T sowie Elementarladung q . Ein Simulator kann anhand des Kompaktmodells effizient die Kenngrößen des FETs, z.B. den linearen und den Sättigungsstrom, bestimmen,

$$(I_0, n, V_{th}, \beta)_{t=0} \rightarrow (d_Idlin, d_Idsat, \dots)_{t=0}^{[Sim]}, \quad (4)$$

die Umkehrung ist allerdings nicht trivial. Für einen FET werden die Parameter des Kompaktmodells so bestimmt, dass gemessenes und simuliertes Verhalten bestmöglich übereinstimmen,

$$\min_{(I_0, n, V_{th}, \beta)_{t=0}} \left\| (d_Idlin, d_Idsat, \dots)_{t=0}^{[Sim]} - (d_Idlin, d_Idsat, \dots)_{t=0}^{[Mess]} \right\|. \quad (5)$$

Alterungsmodelle stellen die Veränderungen integrierter FETs durch HCI und BTI simulierbar dar. Ein Ansatz verändert ausgewählte Parameter des Kompaktmodells in Abhängigkeit von Belastung und Zeit [11,12]. Im Beispiel von Gleichung (2) sind in erster Näherung die Parameter β und V_{th} anzupassen, um die Auswirkungen von HCI und BTI nachzustellen:

$$(\beta, V_{th})_{t>0} = f(\text{"Belastung"}, \text{"Geometrie"}, T, t) \quad \text{mit der Zeit } t. \quad (6)$$

Es ist zu beachten, dass Nominalmodelle für hochskalierte Technologien deutlich komplexer sind als die Gleichungen (2) und (3). Sie können mehrere hundert Parameter enthalten. Alternativ kann die Degradation von FETs durch eine Ersatzschaltung nachgebildet werden. Dabei werden häufig gesteuerte Spannungs- und Stromquellen um den unveränderten Transistor angeordnet. Allerdings vergrößert dieses Vorgehen die Laufzeit von Alterungssimulationen [12].

Unabhängig vom Nominalmodell muss die Funktion $f(\cdot)$ so gewählt und parametrisiert werden, dass für die vom Simulator ermittelten Kenngrößen $(d_Idlin, d_Idsat, \dots)_{t=0}^{[Sim]}$ die Gleichung (1) bestmöglich erfüllt bleibt. Zudem sind unterschiedliche Nebenbedingungen zu beachten. (a) Die Zuverlässigkeit integrierter Transistoren wird gemäß den in [3] standardisierten Methoden unter konstanter Belastung gemessen, in Betrieb und Alterungssimulation treten jedoch zeitabhängige Belastungen auf. Die Funktion $f(\cdot)$ muss

also zeitabhängige Spannungen und Ströme auswerten können, was durch geschickte mathematische Formulierungen [13] realisiert werden kann. (b) Mission Profiles für die Alterungssimulation sind aus Gründen des Simulationsaufwandes auf wenige Millisekunden Dauer begrenzt. Es wird angenommen, dass sie periodisch ablaufen, bis die Ziellebensdauer im Bereich von Jahren erreicht ist. Die Funktion $f(\cdot)$ muss zur effizienten Berechnung eine Zeitextrapolation von der Simulation des Mission Profils zur Ziellebensdauer ermöglichen.

Ein empirisches Modell für Hot Carrier Injection (HCI)

Die Ableitung eines HCI-Modells wird an einem Beispiel gezeigt. Die zugrundeliegenden Simulationen basieren auf dem Kompaktmodell BSIM4 [14] mit einer Parametrisierung für eine High-k-Metal-Gate-Technologie in 22-nm [15]. Für den betrachteten NFET gelten die Länge $L = 22$ nm, die Weite $W = 1$ μm und die Betriebsspannung $V_{\text{dd}} = 900$ mV. Zudem werden die Degradation des linearen und des Sättigungsstroms betrachtet und für diese Messwerte die relativen Änderungen gemäß Bild 5 angenommen. Die Daten können mit den Gleichungen

$$d_{\text{Idlin}} = \frac{\text{Idlin}(t)}{\text{Idlin}(t=0)} - 1 = g_1(V_{\text{dstress}}, t) = 0,71 \cdot \exp\left(-\frac{5}{V_{\text{dstress}}}\right) \cdot t^{0,25} \quad \text{und} \quad (7)$$

$$d_{\text{Idsat}} = \frac{\text{Idsat}(t)}{\text{Idsat}(t=0)} - 1 = g_2(V_{\text{dstress}}, t) = 1,56 \cdot \exp\left(-\frac{7}{V_{\text{dstress}}}\right) \cdot t^{0,25} \quad (8)$$

beschrieben werden [10]. Die Extrapolation auf $V_{\text{dstress}} = V_{\text{dd}} + 10\% = 990$ mV und 10 % Degradation ergibt eine Lebensdauer von 65 h im Hinblick auf den linearen und von 9000 h im Hinblick auf den Sättigungsstrom.

Der Modellansatz ist empirisch in dem Sinne, dass ausgewählte Parameter des zugrundeliegenden Kompaktmodells ohne detaillierte Berücksichtigung der mikroskopischen

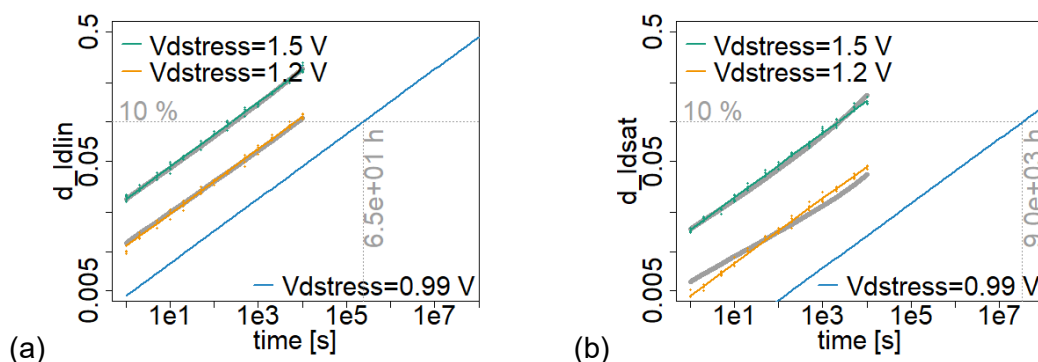


Bild 5: Zuverlässigkeitsdaten für (a) Idlin und (b) Idsat unter HCI. Messwerte [Punkte], Approximation durch Gleichung (7) und (8) [farbige Linien], Simulationsergebnisse auf Basis des Alterungsmodells in Gleichung (9) und (10) [graue Linien]

Mechanismen von HCI so verschoben werden, dass die Messergebnisse in Simulationen nachgestellt werden können. Im konkreten Fall mit einem Nominalmodell vom Typ BSIM4 verändern wir aus Erfahrung zwei Parameter, die Ladungsträgerbeweglichkeit u_0 und die Sättigungsgeschwindigkeit v_{sat} [10], hier in der Form der Gleichungen (7) und (8).

$$d_{u_0} = \frac{u_0(t)}{u_0(t=0)} - 1 = f_1(V_{dstress}, t) = -0,834 \cdot \exp\left(-\frac{4,53}{V_{dstress}}\right) \cdot t^{0,236} \quad \text{und} \quad (9)$$

$$d_{v_{sat}} = \frac{v_{sat}(t)}{v_{sat}(t=0)} - 1 = f_2(V_{dstress}, t) = 0,0426 \cdot \exp\left(-\frac{1,78}{V_{dstress}}\right) \cdot t^{0,332} \quad (10)$$

Durch die Verwendung eines Gleichungsansatzes für die Verschiebung der beiden Kompaktmodellparameter ist die Bereitstellung der Modelle in Simulationsumgebungen einfacher. Mit ihnen ergeben sich die in Bild 5 eingetragenen Simulationsergebnisse. Insbesondere für den linearen Strom werden die Messergebnisse nahezu perfekt getroffen. Beim Sättigungsstrom sind insbesondere bei geringerer Belastung Abweichungen festzustellen. Die Genauigkeit kann verbessert werden, indem für die Sättigungsgeschwindigkeit ein alternativer Gleichungsansatz statt (10) verwendet wird. Dadurch wachsen jedoch die Modellkomplexität und der Aufwand.

In den Ansätzen für die Gleichungen sowie in der Art und Anzahl der Kenngrößen und Einflussfaktoren bestehen wesentliche Freiheitsgrade für empirische Alterungsmodelle. Je mehr Kenngrößen, Beispiele sind in Bild 3(c) illustriert, berücksichtigt werden müssen, desto mehr Kompaktmodellparameter müssen im Alterungsmodell angepasst, desto mehr Gleichungen also aufgestellt werden. Werden in diese dann mehr Einflussgrößen aufgenommen, wachsen die Gleichungen um entsprechende Terme. Zum Beispiel könnte eine Temperaturabhängigkeit eingefügt werden, was üblicherweise über einen Arrhenius-Term $\exp\left(\frac{E_a}{k_B T}\right)$ mit der der Aktivierungsenergie E_a geschieht. Als ein anderes Beispiel ist die Frequenz als Einflussgröße bei Höchsthäufigkeitsanwendungen ein aktuelles Forschungsthema.

Ein physikbasiertes Modell für NBTI

Als ein Ansatz zur Modellierung von NBTI wird an dieser Stelle ein physikbasiertes Modell vorgestellt [16]. Im Gegensatz zu empirischen Ansätzen basiert es auf den im Kapitel 3 vorgestellten mikroskopischen Mechanismen des Einfangens und Freilassens von Ladungsträgern an bestehenden oder neu entstehenden Defekten im Gate-Dielektrikum, also dessen Auf- und Entladen. Ein geladener Defekt verschiebt insbesondere die Schwellspannung des Transistors V_{th} , das Entladen führt zur Relaxation. Diese Physik kann durch ein Markov-Zweizustandsmodell für Grenzflächen- sowie Gate-Oxid-Defekte modelliert

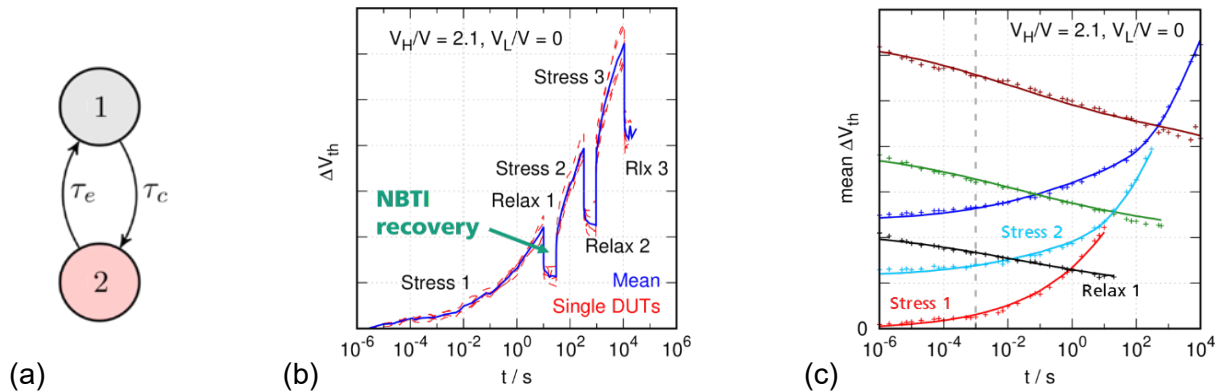


Bild 6: (a) Illustration des Zweizustandsmodells; (b) Experimentelle Daten zur Verschiebung der Schwellspannung ΔV_{th} beim Wechsel zwischen Stress und Relaxation; (c) Beispielhafte Güte der Modellparametrisierung, Vergleich von Messung (Punkte) und Simulation (Linien) für getrennt dargestellte Phasen von Stress und Relaxation [15]

werden [16]. Wie in Bild 6(a) schematisch dargestellt geht ein Defekt vom neutralen Zustand „1“ in den geladenen Zustand „2“ mit einer mittleren sogenannten Capture-Zeit τ_c über und kehrt mit einer mittleren Emission-Zeit τ_e zurück. Diese charakteristischen Zeiten sind defekt-spezifisch und abhängig von Spannung (insbesondere V_{gs}) sowie Temperatur. Das Markov-Modell beschreibt die Defekt-Dynamik über eine gewöhnliche Differentialgleichung mit zeitabhängigen Parametern, die für in Schaltungssimulationen wichtige Fälle numerisch effizient gelöst werden kann [17]. Die Integration über alle Defekte liefert schließlich die zeitabhängigen Transistorparameter.

Das Modell wird durch spezielle ultraschnelle BTI-Messungen parametrisiert. Dabei werden FETs durch wechselnde Stressmuster, z.B. wie in Bild 6(b), bei unterschiedlichen Temperaturen T und Werten für die Gate-Source-Spannung V_{gs} charakterisiert. Die freien Parameter, insbesondere die Dichte, energetischen Eigenschaften sowie Zeitkonstanten der Defekte τ_c und τ_e , werden so bestimmt, dass Messung und Simulation wie in Bild 6(c) möglichst gut übereinstimmen. Durch seine Genauigkeit und Universalität kann das Modell bei der Analyse unterschiedlicher Schaltungstypen eingesetzt werden, u.a. für analoge Grundschaltungen [18], Ringoszillatoren [16] und Speicherzellen [19].

6. Zusammenfassung

Im Entwurf integrierter Schaltkreise (IC) steht mit der Alterungssimulation eine Methode zur Verfügung, mit dem Entwickler die Zuverlässigkeit ihrer Schaltungen virtuell und vor der Übergabe an die Fertigung überprüfen können. Dadurch wird die Langlebigkeit von ICs und den darauf aufbauenden elektronischen Systemen sichergestellt und ein Beitrag zum

zuverlässigen Betrieb geleistet. Das ist insbesondere für Anwendungen im Automobilbereich und der Industrieautomation von Interesse, wo lange Produktlebensdauern unter z.T. rauen Bedingungen erreicht werden müssen.

Als Basis von Alterungssimulationen bilden Alterungsmodelle die Auswirkungen von Degradationsmechanismen, insbesondere Hot Carrier Injection (HCI) und Bias Temperature Instability (BTI), auf integrierte Feldeffekttransistoren (FET) simulierbar ab. Dafür werden empirische und physikbasierte Ansätze verwendet. Empirische Modelle sind meist einfacher handhabbar, physikbasierte dafür genauer. Ihnen ist gemeinsam, dass sie mit Daten aus Zuverlässigkeitsmessungen parametrisiert werden. In diesen Experimenten wird die Degradation durch hohe Belastungen beschleunigt und dann auf typische Szenarien in der Nutzung umgerechnet. Wie in anderen Disziplinen der Zuverlässigkeitsanalyse muss dabei berücksichtigt werden, dass sich die auftretenden Schadensmechanismen nicht ändern. In unserer Wahrnehmung werden Alterungssimulationen zunehmend häufig eingesetzt. Dadurch werden auch Erweiterungen und Verbesserungen der Alterungsmodelle erforderlich. Bisher werden verschiedenste Ansätze eingesetzt. Insbesondere Entwickler zuverlässiger Elektronik bringen neue Anforderungen, z.B. im Hinblick auf die Genauigkeit und die Berücksichtigung zusätzlicher Einflussfaktoren, ein. Halbleiterhersteller werden diesen mit verbesserten eigenen oder vereinheitlichten Lösungen begegnen.

Danksagung

Wesentliche Teile dieses Beitrags sind mit Förderung durch den Freistaat Sachsen sowie den Europäischen Fonds für Regionale Entwicklung (EFRE) im Projekt ARAMID (Sächsische Aufbaubank (SAB), FKZ 100375234) entstanden.

Referenzen

- [1] Automotive Electronics Council: AEC-Q100 – Failure Mechanism Based Stress Test Qualification For Integrated Circuits. Rev. H, 11.09.2014.
<http://www.aecouncil.com/AECDocuments.html>
- [2] Foster, H.: Part 12: The 2020 Wilson Research Group Functional Verification Study. Blog-Beitrag, <https://blogs.sw.siemens.com/verificationhorizons/2021/02/03/part-12-the-2020-wilson-research-group-functional-verification-study>, 03.02.2021, abgerufen am 10.02.2021.
- [3] JEDEC Solid State Technology Association, <https://www.jedec.org/>
- [4] Chen, K.-L. et al.: Reliability Effects on MOS Transistors Due to Hot-Carrier Injection. IEEE Transactions on Electron Devices, 32(2), S. 386-393, Feb. 1985.

- [5] Grasser, T.: Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities. *Microelectronics Reliability*, 52(1), S. 39-70, Jan. 2012.
- [6] Schaldenbrand, A.: *Analog Reliability Analysis for Mission-Critical Applications*, White Paper, Cadence Design Systems, Inc, 2019.
- [7] Selim, M.; Jeandeau, E.; Descleves, C.: *Addressing IC Reliability Issues Using Eldo*, White Paper, Mentor Graphics Corporation, 2016.
- [8] Tudor, B. et al.: *MOS Device Aging Analysis with HSPICE and CustomSim*, White Paper, Synopsys, Inc, 2011.
- [9] Göbel, H.: *Einführung in die Halbleiter-Schaltungstechnik*. 5. Auflage, Berlin: Springer Vieweg 2014.
- [10] <https://de.wikipedia.org/wiki/Metall-Oxid-Halbleiter-Feldeffekttransistor>, abgerufen am 09.02.2021.
- [11] Lange, A. und Jancke, R.: Challenges and solution approaches for simulation-based reliability assessment - degradation modeling. *IEEE International Integrated Reliability Workshop (IIRW)*, 2020.
- [12] Lange, A. et al.: Comparison of modeling approaches for transistor degradation: Model card adaptations vs subcircuits. *IEEE European Solid-State Device Research Conference (ESSDERC)*, 2019.
- [13] Scholten, A.J. et al.: The Relation Between Degradation Under DC and RF Stress Conditions. *IEEE Transactions on Electron Devices*, 58(8), S. 2721-2728, Aug. 2011.
- [14] University of California, Berkeley, BSIM Group: BSIM4 Model. <https://bsim.berkeley.edu/models/bsim4/>, abgerufen am 25.01.2021.
- [15] Nanoscale Integration and Modeling (NIMO) Group, Arizona State University: Predictive Technology Model - 22nm PTM LP model. http://ptm.asu.edu/modelcard/LP/22nm_LP.pm, 15.11.2008, abgerufen am 25.01.2021.
- [16] Giering, K.-U. et al.: NBTI Degradation and Recovery in Analog Circuits: Accurate and Efficient Circuit-Level Modeling. *IEEE Transactions on Electron Devices*, 66(4), S. 1662-1668, Apr. 2019.
- [17] Giering, K.-U. et al.: NBTI modeling in analog circuits and its application to long-term aging simulations. *IEEE International Integrated Reliability Workshop (IIRW)*, 2014.
- [18] Giering, K.-U. et al.: Analog-circuit NBTI degradation. *IEEE International Reliability Physics Symposium (IRPS)*, 2016.
- [19] Giering, K.-U. et al.: BTI variability of SRAM cells under periodically changing stress profiles. *IEEE International Integrated Reliability Workshop (IIRW)*, 2016.