Intelligent IP – programmierbarer Entwurf integrierter analoger Schaltungen

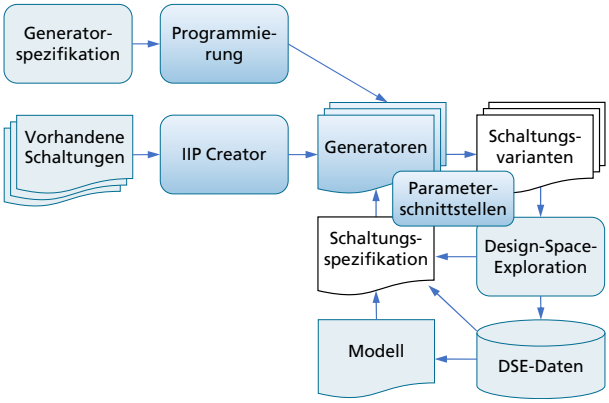
Uwe Eichler, Benjamin Prautsch

FRAUNHOFER-INSTITUT FÜR INTEGRIERTE SCHALTUNGEN IIS, INSTITUTSTEIL ENTWICKLUNG ADAPTIVER SYSTEME EAS

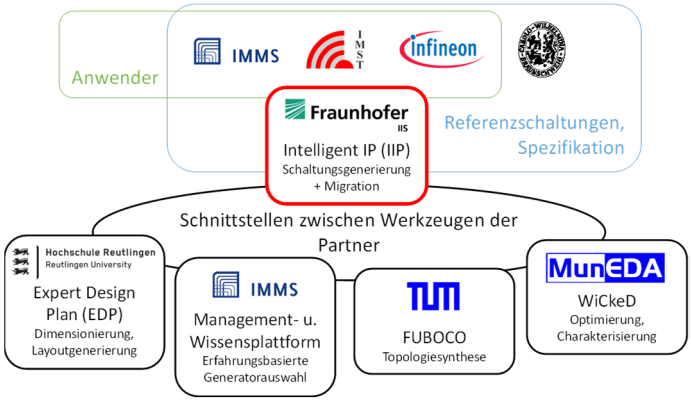
Unser Beitrag im Projekt HoLoDEC zum automatisierten Entwurf analoger ICs

- Automatisiertes Erstellen flexibler Schaltungsgeneratoren für ausgewählte Referenzschaltungen der Partner
- Automatisierte Charakterisierung der generierbaren Varianten inkl. Layouteigenschaften durch Kopplung mit Simulations- und Optimierungswerkzeugen
- Weiterentwicklung und Eignungsuntersuchung hierarchischer Layout-Templates für die Referenzschaltungen
- Implementierung und Erprobung von Schnittstellen zu den von den Partnern entwickelten EDA-Werkzeugen

Varianten eines beschleunigten Entwurfsablaufs auf Transistorebene

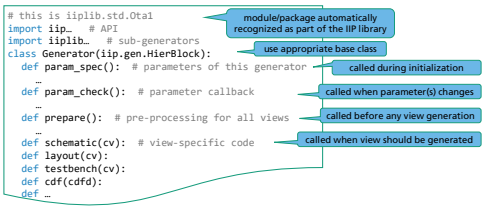


Kooperationen des Fraunhofer IIS/EAS

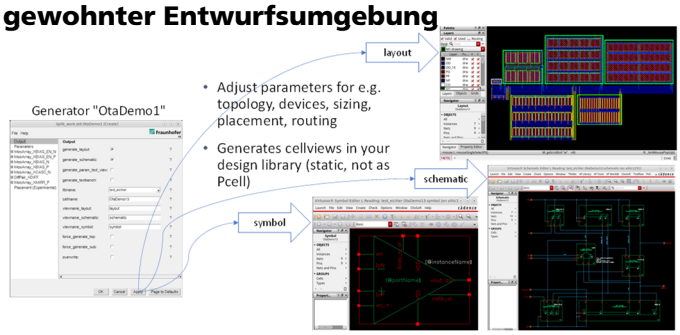


Generatorbasierter Entwurf mit Intelligent IP (IIP)

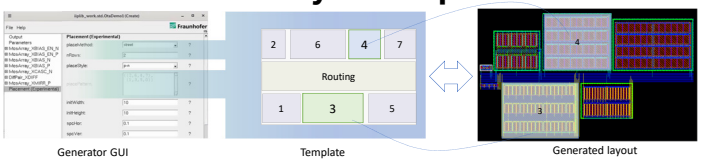
Umfassende Programmierschnittstelle



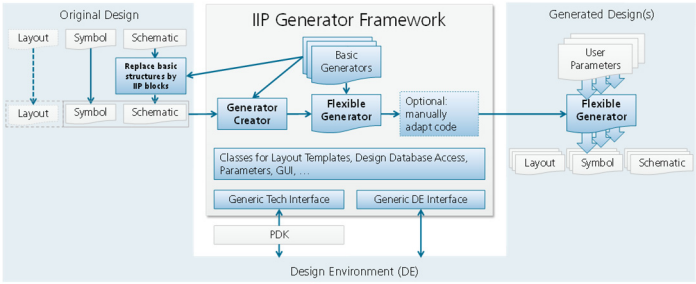
Generierung hierarchischer Designdaten in gewohnter Entwurfsumgebung



Vereinfachte Generatorentwicklung durch hierarchische Layout-Templates



Automatische Generatorerstellung und IP-Migration mit dem IIP Creator



Unterstützt durch: edacentrum

GEFÖRDERT VOM Bundesministerium für Bildung und Forschung

Förderkennzeichen: 16ME0700