

Test und Zuverlässigkeit nanoelektronischer Systeme

Bernd Becker, Ilia Polian, Universität Freiburg
Sybille Hellebrand, Universität Paderborn
Bernd Straube, Fraunhofer IIS-EAS Dresden
Hans-Joachim Wunderlich, Universität Stuttgart

Kurzfassung

Neben der zunehmenden Anfälligkeit gegenüber Fertigungsfehlern bereiten insbesondere vermehrte Parameterschwankungen, zeitabhängige Materialveränderungen und eine erhöhte Störanfälligkeit während des Betriebs massive Probleme bei der Qualitätssicherung für nanoelektronische Systeme. Für eine wirtschaftliche Produktion und einen zuverlässigen Systembetrieb wird einerseits ein robuster Entwurf unabdingbar, andererseits ist damit auch ein Paradigmenwechsel beim Test erforderlich. Anstatt lediglich defektbehaftete Systeme zu erkennen und auszusortieren, muss der Test bestimmen, ob ein System trotz einer gewissen Menge von Fehlern funktionsfähig ist, und die verbleibende Robustheit gegenüber Störungen im Betrieb charakterisieren. Im Rahmen des Projekts RealTest werden einheitliche Entwurfs- und Teststrategien entwickelt, die sowohl einen robusten Entwurf als auch eine darauf abgestimmte Qualitätssicherung unterstützen.

1 Einleitung

Die Herstellungsprozesse für nanoelektronische Systeme sind sehr viel sensibler gegenüber Störungen als die für heutige Mikrochips. Bei den extrem kleinen Strukturen spielen zunehmend quantenphysikalische Effekte eine Rolle, und die einzelnen Herstellungsschritte erfordern eine viel größere Genauigkeit. Beispielsweise arbeiten Lithographieverfahren, die zur Chipherstellung eingesetzt werden, bereits heute mit Lichtwellenlängen, die größer sind als die zu erzeugenden Strukturen [4]. Daher ist mit zahlreichen Defekten und auch mit großen Schwankungen der Schaltungsparameter, wie beispielsweise der Schwellspannung der Transistoren, zu rechnen. Die „International Technology Roadmap for Semiconductors“ schätzt, dass mit den bisherigen Entwurfsmethoden bei fortschreitender Technologieentwicklung bis zum Jahr 2019 nur noch Ausbeuten zwischen 10% und 20% Prozent erzielt werden können, was keine wirtschaftliche Produktion mehr erlauben würde [3]. Hinzu kommt außerdem noch eine erhöhte Anfälligkeit der Systeme gegenüber äußeren Störeinflüssen während des Betriebs.

Die zunehmenden Parameterschwankungen und die damit verbundene erhöhte Anfälligkeit gegenüber permanenten und transienten Fehlern müssen durch einen robusten Entwurf abgefangen werden [2]. Gerade dadurch entstehen aber völlig neue Herausforderungen bei Test und Verifikation. Übliche Qualitätsmaße für Tests wie etwa die Zahl der erkennbaren Fehler („Fehlerüberdeckung“) sind nicht mehr aussagekräftig, da durch den robusten Entwurf ja auch ein bestimmtes Maß an Fehlern toleriert werden soll. Umgekehrt ist die Übereinstimmung mit der Spezifikation schwierig zu bewerten, weil in der Regel eine bestimmte Bandbreite „akzeptablen“ Verhaltens zu-

lässig ist. Zur Lösung dieser Probleme müssen Entwurf und Test so aufeinander abgestimmt werden, dass sowohl ein robustes Systemverhalten als auch eine effiziente Charakterisierung der Funktionsfähigkeit und der tatsächlich vorhandenen Fehlertoleranz ermöglicht wird.

2 Projekt RealTest

Im Rahmen des DFG-Projekts RealTest (Test and Reliability of Nano-Electronic Systems) werden einheitliche Entwurfs- und Teststrategien entwickelt, die sowohl einen robusten Entwurf als auch eine darauf abgestimmte Qualitätssicherung unterstützen [1]. Die Schwerpunkte des Projekts, das gemeinsam von den Universitäten Freiburg, Paderborn und Stuttgart sowie dem Fraunhofer IIS-EAS Dresden durchgeführt und von den Firmen Infineon Technologies Neubiberg und NXP Semiconductors GmbH Hamburg unterstützt wird, liegen dabei in den Bereichen

- Fehlermodellierung und Fehleranalyse,
- Speicher- und Zustandsüberwachung für komplexe Systeme,
- Test fehlertoleranter nanoelektronischer Systeme, und
- Modellierung, Verifikation und Test akzeptablen Verhaltens.

Die Forschungsaktivitäten sind eng miteinander verzahnt. Wenn zum Beispiel ein System robust gegenüber Störungen während des Betriebs entworfen werden soll, wird als Ausgangspunkt eine Analyse der zu erwartenden Defekt- und Störmechanismen benötigt, die insbesondere auch statistische Schwankungen der Parameter berücksichtigen kann und entsprechend das resultierende Verhalten statistisch charakterisiert. Für Speicherelemente wie Flipflops und Latches, die in

freier Logik einen immer größeren Anteil einnehmen und besonders störanfällig sind, gibt es bisher kaum kostengünstige Ansätze des zuverlässigen Entwurfs. Im Rahmen des Projekts werden deshalb effiziente Techniken zur Überwachung und zur Kompensation von Fehlern entwickelt. Die Entwurfsstrategie steckt zusammen mit den Daten aus der Fehleranalyse die Randbedingungen für den Test ab. Hier muss nicht nur geprüft werden, ob das System das gewünschte Verhalten liefert, sondern auch in welchem Maß dazu bereits Fehlertoleranz eingesetzt wird und wie robust das Systemverhalten noch ist. Trotz entsprechender Entwurfs- und Testverfahren wird es nicht immer möglich sein, mit vertretbaren Kosten alle Fehler während des Betriebs abzufangen. Hier ist es entscheidend, das gewünschte Systemverhalten möglichst genau und anwendungsspezifisch zu modellieren. Fehler, die nicht kritisch sind, müssen dann nicht mehr berücksichtigt werden.

Die Herausforderungen, die sich daraus in den einzelnen Forschungsschwerpunkten ergeben, werden in den folgenden Abschnitten kurz angerissen.

2.1 Fehleranalyse

Defekte und Parametervariationen in zukünftigen Technologien werden durch die bekannten Fehlermodelle nicht mehr oder nur unzureichend beschrieben. Extrem kleine geometrische Abmessungen der Strukturen und die damit verbundenen statistischen Empfindlichkeiten der physikalischen und somit auch der elektrischen Eigenschaften erfordern eine neue adäquate Modellierung, für die im Rahmen dieses Teilprojekts der Grundstein gelegt werden soll. Die Auswirkungen von Defektmechanismen sollen zunächst auf elektrischer und dann auf logischer Ebene charakterisiert werden. Dazu gehören insbesondere auch statistische Parameter sowie die Bedingungen unter denen die Defekte erkannt werden können (z. B. notwendige Eigenschaften von Testfolgen, etc.).

2.2 Speicher- und Zustandsüberwachung

Während Online-Test und Zustandsüberwachung für Speicherfelder seit langem Teil der industriellen Praxis sind, ist die Bearbeitung freier Logik noch in den Anfängen. Da der Anteil von Speicherelementen an der Gesamtfläche für freie Logik ständig wächst und die Speicherelemente im Vergleich zu kombinatorischen Elementen deutlich fehleranfälliger sind, muss besonderes Augenmerk auf die Speicher- und Zustandsüberwachung gelegt werden. Das Ziel des Teilprojekts ist die Entwicklung eines einheitlichen Verfahrens zur Überwachung und Rekonfiguration der Speicherelemente, das sowohl beim Fertigungstest als auch im Online-Test eingesetzt werden kann. Insbesondere soll auch eine neuartige robuste Hardware-

struktur für Prüfpfade entwickelt werden, die sich selbst überwachen und periodisch selbst testen kann.

2.3 Test fehlertoleranter Systeme

Die notwendigen Fehlertoleranzmaßnahmen in nanoelektronischen Systemen führen insbesondere dazu, dass interne Fehler während des Tests nur noch schwer oder gar nicht mehr beobachtet werden können. Auch wenn Fehlertoleranz gerade dazu eingesetzt wird, um Fehler zu maskieren, ist es für die Qualitätssicherung notwendig zu wissen, in welchem Umfang Fehlertoleranzmaßnahmen bereits ausgenutzt wurden, und wie hoch die verbleibende Robustheit und Zuverlässigkeit einzuschätzen ist. Ziel dieses Teilprojekts ist es deshalb, entsprechende „Qualitätsmaße“ und darauf abgestimmte Verfahren für den Test und testfreundlichen Entwurf fehlertoleranter Strukturen zu entwickeln („Quality Binning“).

2.4 Modellierung akzeptablen Verhaltens

Um das Verhalten von nanoelektronischen Systemen zu modellieren, muss die Möglichkeit vorgesehen werden, eine ganze Bandbreite „akzeptablen“ Verhaltens zu beschreiben, die auch anwendungsabhängig sein kann (z. B. bezüglich Genauigkeit oder Geschwindigkeit). Ziel dieses Teilprojekts ist es zunächst, Metriken für akzeptables Verhalten zu entwickeln, die sich für Verifikation und Test effizient einsetzen lassen. Dabei müssen sowohl die speziellen Anforderungen für den Off-line als auch für den Online Test berücksichtigt werden. Darauf aufbauend sollen entsprechende Verifikations- und Testmethoden konzipiert und untersucht werden.

3 Literatur

- [1] B. Becker, S. Hellebrand, I. Polian, B. Straube, and H.-J. Wunderlich, “DFG Projekt RealTest – Test und Zuverlässigkeit nanoelektronischer Systeme”, *it – Information Technology*, 48 (5), October 2006
- [2] M. A. Breuer, S. K. Gupta, and T. M. Mak, “Defect and Error Tolerance in the Presence of Massive Numbers of Defects”, *IEEE Design & Test*, 21 (3), pp. 216-227, May-June 2004
- [3] Semiconductor Industry Association, “International Technology Roadmap for Semiconductors”, 2003, available at: <http://public.itrs.net/>
- [4] S. K. Shukla, R. I. Bahar (Eds.), “Nano, Quantum and Molecular Computing – Implications to High Level Design and Validation”, Boston, Dordrecht, London: Kluwer Academic Publishers, 2004