Fraunhofer
IIS

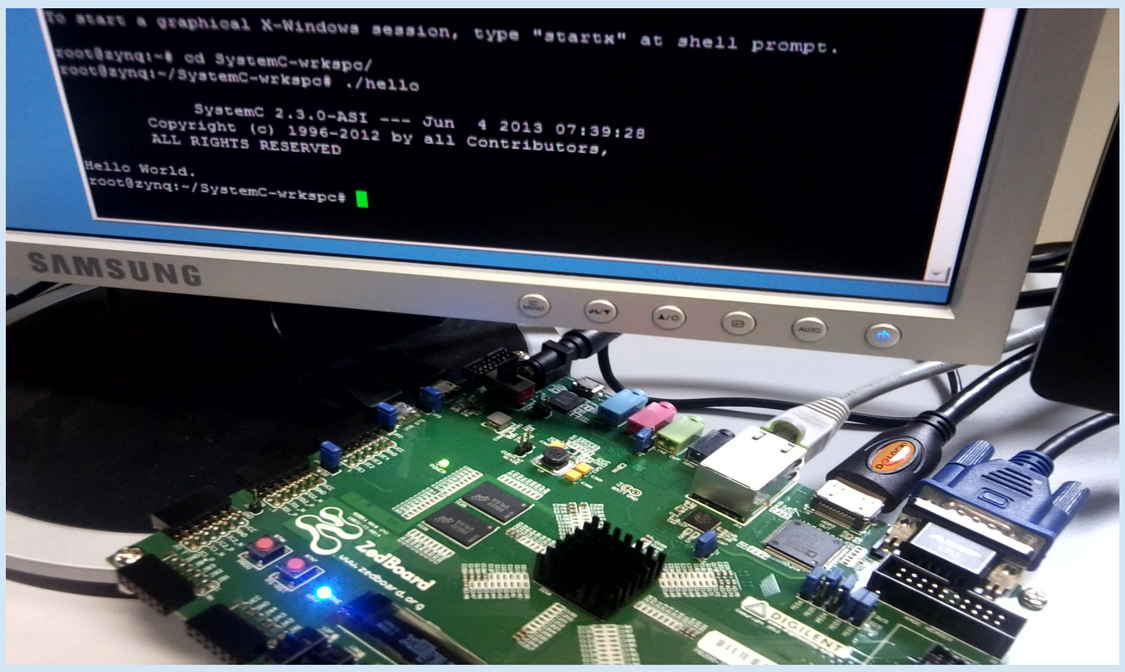
FRAUNHOFER-INSTITUT FÜR INTEGRIERTE SCHALTUNGEN IIS, INSTITUTSTEIL ENTWURFSAUTOMATISIERUNG EAS

SystemC AMS basierte V&V-Methodik in der Mikrosystemtechnik

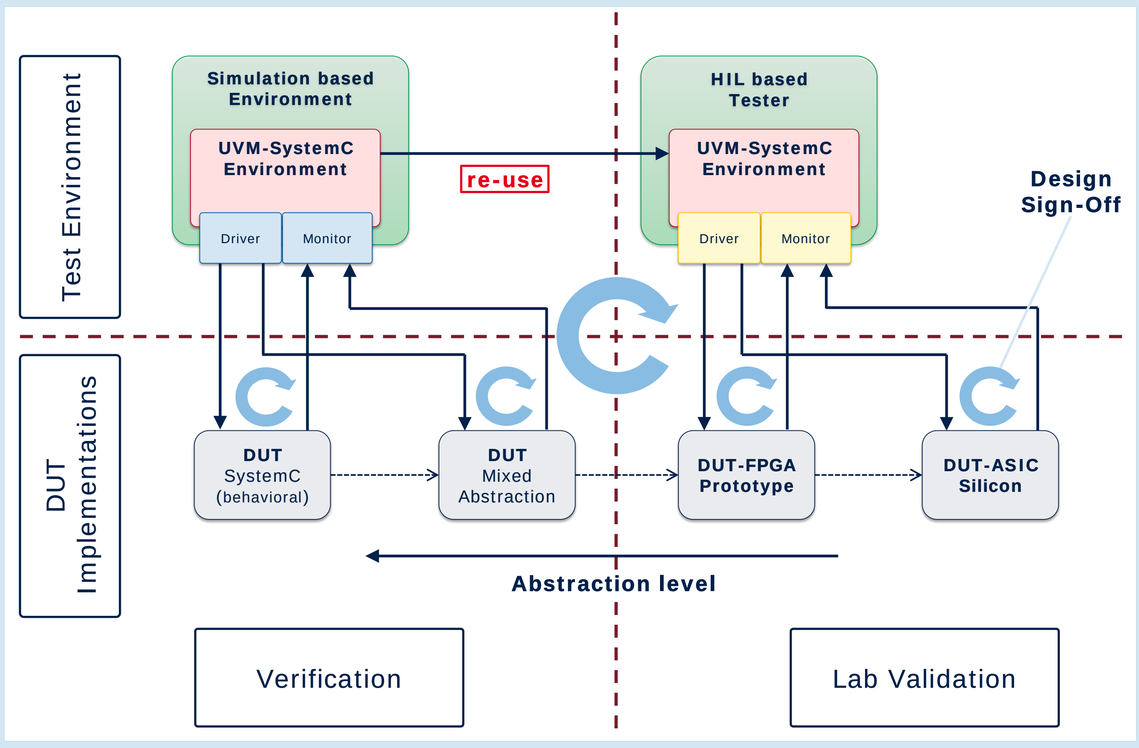
Paul Ehrlich[1], Stephan Schulz[2]

PROBLEMSTELLUNG

Cyber Physical Systems gewinnen immer stärker an Bedeutung, was nicht zu guter Letzt auf dem enormen Wachstum der Integrationsfähigkeit und Miniaturisierung von Sensoren begründet ist. Der damit einhergehende Komplexitätsanstieg des Gesamtsystems sowie dessen Kosten, haben die Notwendigkeit einer darauf eingehenden Modellierung zur Konsequenz. Sie ist insbesondere notwendig um dessen Verifikation zu ermöglichen, damit Designfehler möglichst frühzeitig erkannt werden und so kostspielige Re-Designs vermieden.



Zedboard mit SystemC-Modell



Verifikations- und Validierungs-Designflow [1]

LÖSUNGSANSATZ

Digitale Systeme sind ein klassisches Vorbild für virtuelle Prototypen, da sie über umfangreiche Modellierungs-möglichkeiten sowie Methoden zur Verifikation und Validierung verfügen. Besonderheiten beim Einsatz für Mikrosysteme, welche anhand eines cyber-physikalischen Sensorknotens veranschaulicht werden, müssen jedoch berücksichtigt werden. Dazu wird der Knoten mit SystemC AMS[1][2] modelliert, welches das Einbinden von Komponenten anderer Domains wie z.B. der Mechanik ermöglicht. Zudem ist die nahtlose Integrierbarkeit in eine UVM-SystemC[3]-basierte Verifikationsumgebung möglich, welche eine schnelle Ausführbarkeit mit hinreichender Genauigkeit bei geeignetem Detaillevel gewährleistet. Dadurch wird das Model für den Echtzeiteinsatz auf einem HiL (Hardware in the Loop) System einsatzfähig. Einzelne Module des Modells werden dabei durch real existierende Hardwarekomponenten ersetzt, wohingegen andere virtuell verbleiben.

VORTEILE

- Verkürzung von Rechenzeit bei Auslagerung komplexer Modellkomponenten in gut verstandene und etablierte Hardware
- Frühzeitige Tests eigener Hardwarekomponenten, im realen System weit vor dessen vollständiger physischen Verfügbarkeit
- Test verschiedener Schnittstellen innerhalb des Systems
- Ersatz von fragilen/sensiblen/teuren Baugruppen durch Hardware-in-the-Loop-Modelle

[1]paul.ehrlich@eas.iis.fraunhofer.de
[2]stephan.schulz@eas.iis.fraunhofer.de

QUELLEN

[1] Paul Ehrlich, Thang Nguyen, Thilo Vörtler, UVM-SystemC based Hardware in the Loop Simulations for Accelerated Co-Verification, Design and Verification Conference & Exhibition Europe (DVCon Europe), October 2014.

[2] Karsten Einwich, Thilo Vörtler, Thomas Arndt, New technological opportunities coming along with SystemC / SystemC AMS for AMS IP Handling and Simulation, European Nanoelectronics Design Technology Conference (DTC), June 2012.

[3] M. Barnasconi, F. Pêcheux and T. Vörtler, “Advancing system-level verification using UVM in SystemC”, Design and Verification Conference & Exhibition (DVCon), March 2014.