

# CHRONOS: Ein Werkzeug zur Berücksichtigung von Alterungseffekten in Schaltungssimulationen

Leif Müller, André Lange, Christoph Sohrmann, Roland Jancke  
 (leif.mueller, andre.lange, christoph.sohrmann, roland.jancke)@eas.iis.fraunhofer.de  
 Fraunhofer-Institut für Integrierte Schaltungen, Institutsteil Entwurfsautomatisierung, Dresden

## KURZFASSUNG

Die Zuverlässigkeit integrierter Schaltkreise bestimmt oft maßgeblich die Qualität eines technischen Produkts. Weil Alterungseffekte die Schaltungskenngrößen beeinträchtigen können, müssen diese in der Schaltungsanalyse parallel zum Entwurf untersucht werden. Wie Transistordegradation beschrieben werden kann, ist Gegenstand aktueller Forschungsarbeiten, welche sich daher selten mit der Einbindung der Modelle in Schaltungssimulationen befassen. Andererseits existieren erste kommerzielle Lösungen zur Berücksichtigung von Transistordegradation in Schaltungssimulationen, jedoch ohne die notwendige Flexibilität für moderne Degradationsmodelle oder die Kombination unterschiedlicher Zuverlässigkeitsaspekte. In diesem Beitrag wird das Werkzeug CHRONOS vorgestellt. Es ermöglicht eine flexible Alterungssimulation unabhängig vom verwendeten Design-Flow, was an einfachen Anwendungsfällen demonstriert wird.

## 1 EINLEITUNG

Die Zuverlässigkeit moderner integrierter Schaltkreise stellt ein wesentliches Qualitätskriterium dar [1]. Alterungseffekte beeinträchtigen Transistoren, wodurch sich ihre elektrischen Eigenschaften und damit die Kenngrößen einer Schaltung verschieben können. Um die Auswirkungen von Degradation in Simulationen untersuchen zu können, müssen zwei wesentliche Voraussetzungen erfüllt werden: Alterungsmechanismen müssen geeignet modelliert und die Modelle in Schaltungssimulationen eingebunden werden.

Die Alterungsmodellierung ist Gegenstand vieler aktueller Forschungsarbeiten, z.B. [2]-[4], von denen sich aber nur wenige mit der Implementierung in Schaltungssimulationen beschäftigen [5][6]. Übereinstimmend wird berichtet, dass Zeit  $t$ , Temperatur  $T$  und elektrischer Stress, das heißt Spannungen und Ströme am Transistor, die maßgeblichen Einflussgrößen für Degradation sind. Erste kommerzielle Lösungen zur Alterungssimulation stehen zur Verfügung [7][8], sie sind jedoch an feste Modelle und Entwurfsumgebungen gebunden und damit wenig flexibel.

Das Werkzeug CHRONOS soll in diesem Beitrag als eine Alternative vorgestellt werden. Durch eine eigene Java-Implementierung und XML-Schnittstellen kann es flexibel in beliebige Entwurfsumgebungen eingebunden werden [9][10], siehe Abb. 1.

Im Abschnitt 2 werden der prinzipielle Ablauf einer Alterungssimulation vorgestellt und aus ihm Randbedingungen für eine Plattformlösung abgeleitet. Diese stellen die Grundlagen für die Implementierung von CHRONOS und den XML-Schnittstellen im Abschnitt 3 dar. Die Anwendungsszenarien im Abschnitt 4 unterstreichen die Einsatzfähigkeit von CHRONOS, bevor dieser Beitrag im Abschnitt 5 mit einer Zusammenfassung und einem Ausblick abgeschlossen wird.

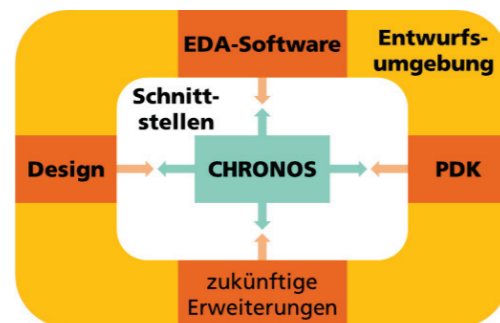


Abb. 1: CHRONOS und seine Einbindung in die Entwurfsumgebung

## 2 PRINZIPIELLER ABLAUF DER ALTERUNGSSIMULATION

Wie in Abb. 2 illustriert, altert eine integrierte Schaltung im Betrieb. Simulationen können diesen Effekt nachbilden, benötigen dafür aber die zu untersuchende Transistorschaltung mit einer Testbench, mindestens ein Alterungsmodell und die Spezifikation des Alters  $t_{age}$ .

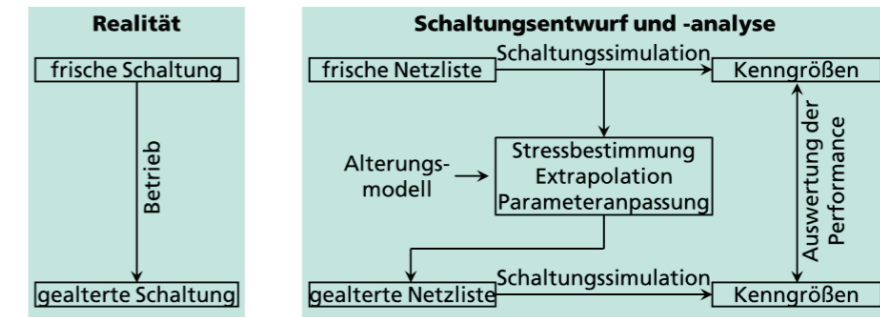


Abb. 2: Prinzipieller Ablauf der Alterungssimulation

Die Schaltung wird simuliert, um die Kenngrößen der frischen Schaltung zu bestimmen und den individuellen Stress an den Transistoren in Form von Spannungen und Strömen zu extrahieren. Diese Größen werden mit dem Alterungsmodell auf individuelle Parameterveränderungen der Bauelemente umgerechnet. Eine erneute Simulation mit angepassten Transistorparametern ermittelt die Performance der gealterten Schaltung. Dieser Vorgang kann für verschieden Zeiten  $t_{age}$  wiederholt werden, um z.B. die Lebensdauer der Schaltung abzuschätzen.

Zwischen Simulationszeit und Lebensdauer gibt es jedoch eine Diskrepanz. Schaltungssimulationen sind nur im Bereich von maximal einigen Millisekunden ( $10^{-3}$  s) praktikabel, während Lebensdauern von Monaten und Jahren ( $1 \text{ a} \approx 3 \cdot 10^7$  s) von Interesse sind. Der Stress an den Bauelementen kann also nur in einer kurzen Simulation bestimmt und muss auf das Zielalter extrapoliert werden. Das kann erreicht werden, wenn die Simulation einen kurzen, typischen Anwendungsfall repräsentiert und dieser als periodisch über der Lebensdauer  $t_{age}$  angenommen wird.

Ein einfaches Modell für PBTI-Alterung (Positive Bias Temperature Instability) von N-Kanal-Transistoren in High-k-Metal-Gate-Technologien soll zur Illustration herangezogen werden. Für eine konstante Temperatur und konstanten Stress durch die Gate-Source-Spannung  $U_{gs}$  kann die Schwellspannungsverschiebung  $\Delta U_{th}$  nach dem Potenzansatz,

$$\Delta U_{th} = A \cdot U_{gs}^m \cdot t^n, \quad (1)$$

mit den Koeffizienten  $A$ ,  $m$  und  $n$  berechnet werden [11]. Aus Messwerten können für die Temperatur  $T=125$  °C die Parameter

$$A = 1,6 \cdot 10^{-3} \frac{1}{v^{m-1,5n}}, \quad m = 5,46 \text{ und } n = 0,18$$

abgelesen werden [9]-[11]. Die Temperaturabhängigkeit der PBTI-Alterung kann über den Parameter  $A$  berücksichtigt werden, was jedoch nicht Gegenstand dieses Beitrags ist.

Aus (1) lässt sich eine Form für nicht-konstanten Stress, das heißt eine zeitlich veränderliche Gate-Source-Spannung  $u_{gs}(t)$ , ableiten [9],

$$\Delta U_{th}(t_{age}) = A \cdot \left[ \int_0^{t_{age}} u_{gs}(t)^{m/n} dt \right]^n. \quad (2)$$

Die Beziehung (1) folgt aus (2) für zeitkonstanten Stress  $u_{gs}(t) = U_{gs}$ . Wird die oben angeführte Stressextrapolation verwendet, kann die Schwellspannungsverschiebung  $\Delta U_{th}$  durch PBTI-Degradation im periodischen Anwendungsfall durch [9][10]

$$\Delta U_{th}(t_{age}) = A \cdot \left[ \frac{t_{age}}{t_{sim}} \int_0^{t_{sim}} u_{gs}(t)^{m/n} dt \right]^n \quad (3)$$

berechnet werden. Im Projekt „Heiko“ konnten (1)-(3) in Zusammenarbeit mit GLOBAL-FOUNDRIES und der NaMLab gGmbH auch für eine andere Technologie nachgewiesen werden. Im Folgenden wird (3) zur Illustration von Implementierung und Anwendung von CHRONOS verwendet werden.

Es muss jedoch angemerkt werden, dass PBTI-Alterung zum Teil reversibel ist [12]. Die auftretende Relaxation wird mit dem Ansatz in (1)-(3) nicht berücksichtigt. Genauere, aber auch komplexere Modelle können bei Bedarf ebenfalls in CHRONOS implementiert werden.

### 3 IMPLEMENTIERUNG

In diesem Abschnitt werden aus den Punkten im Abschnitt 2 Aufbau und Implementierung von CHRONOS abgeleitet. Die XML-Schnittstellen sind detailliert in [9] beschrieben und werden deshalb nicht ausführlich dargestellt.

CHRONOS ist in Java programmiert und bietet damit den Vorteil der Plattformunabhängigkeit. Deshalb kann CHRONOS mit verschiedenen Entwurfsumgebungen interagieren. Die Anknüpfung an die Entwurfsumgebung von Cadence soll beispielhaft vorgestellt werden. Der Start erfolgt aus der Analogen Design-Umgebung (ADE) heraus, wie in Abb. 3 gezeigt. Die Kommunikation zwischen der Entwurfsumgebung und einem externen Programm erfolgt über die Schnittstelle Interprocess Communication (IPC), welche von Cadence zur Verfügung gestellt wird. Mit Cadence als Hauptprozess ist es möglich, durch IPC-SKILL-Funktionen eine Verbindung zu einem externen und ausführbaren Programm aufzubauen und die Kommunikation zwischen den beiden Programmen zu steuern.

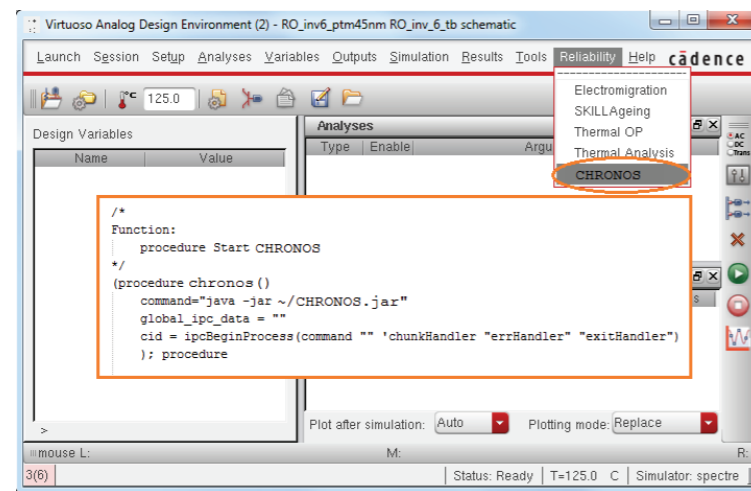


Abb. 3: Start von CHRONOS aus dem Cadence ADE, aufgerufen wird die abgebildete SKILL-Funktion um die IPC-Verbindung zwischen den beiden Programmen herzustellen.

Nachdem dem Start von CHRONOS erscheint die Bedienoberfläche (siehe Abb. 4) und die Netzliste des aktuellen Schaltungsdesigns kann angefordert werden. Die Netzliste wird aus einer erzeugten XML-Datei gelesen und erscheint als Baumdiagramm. Die Transistoren, deren Degradation untersucht werden soll, können aus der Netzliste einzeln oder vollständig ausgewählt werden. Die getroffene Auswahl wird in einer Tabelle dargestellt und in der Alterungsanalyse berücksichtigt.

Mit dem Button *RUN* wird eine Transientensimulation der frischen Schaltung gestartet und durch Betätigen von *Get Signal* werden die Zeitverläufe von Strom oder Spannung an den Klemmen der ausgewählten Transistoren für CHRONOS bereitgestellt und angezeigt. Das als Beispiel vorgestellte PBTI-Alterungsmodell (3) benötigt jeweils die Potentialverläufe an Gate und Source um die Gate-Source-Spannungen  $u_{gs}(t)$  zu bestimmen und daraus die Schwellspannungsverschiebungen  $\Delta U_{th}$  durch Degradation zu berechnen.

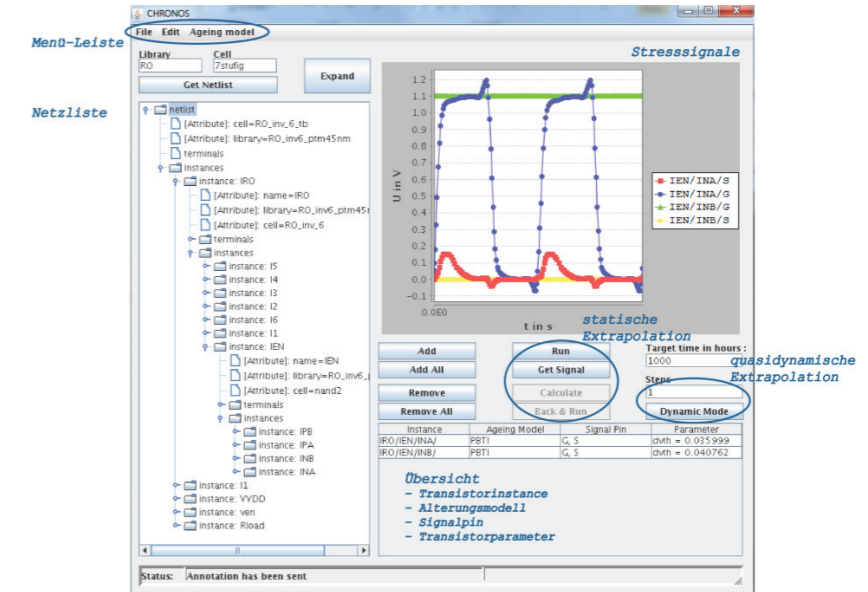


Abb. 4: Bedienoberfläche von CHRONOS, Beispiel

Mit der Eingabe des Alters  $t_{age}$  (*Target Time*) und der Schaltfläche *Calculate* werden die Schwellspannungsverschiebungen  $\Delta U_{th}$  der ausgewählten Transistoren individuell errechnet und in die Übersichtstabelle geschrieben. Nachfolgend dargestellt ist ein parametrisierbarer Subcircuit, der die berechneten Schwellspannungsverschiebungen  $\Delta U_{th}$  über den Parameter **dvth** in der Simulation berücksichtigt.

```
inline subckt ageing_nmos (d g s b)
parameters dvth=0 w=1u l=1u ...
model ageing_model nmos_ptm vth0=0.60+dvth u0=...
ageing_nmos (d g s b) ageing_model w=w l=1 ...
ends ageing_nmos
```

Die berechnete Schwellspannungsverschiebung wird als *alter*-Statement in eine Datei geschrieben und bei der Simulation mit eingebunden.

```
alterM0 alter dev=M0 param=dvth value=0.015
```

Eine Alternative zu (3) ist die quasidynamische Extrapolation, welche über die Schaltfläche *Dynamic Mode* aktiviert wird, siehe Abb. 4. Sie zerlegt das Alter  $t_{age}$  in  $k$  Schritte und führt Stressbestimmung und Extrapolation für den jeweils folgenden Zeitschritt  $k$ -mal automatisch durch [10].

### 4 ANWENDUNGSSZENARIEN

Die Anwendungsszenarien nutzen prädiktive 45-nm-Low-Power-Transistormodelle [13]. Die Nachsimulation der Messungen in [11] wurde für konstanten sowie zeitvariablen Stress am Einzeltransistor durchgeführt. Die Abb. 5 zeigt für beide Stressvarianten eine gute Übereinstimmung von Messung und Simulation. Die Messdaten in Abb. 5 deuten auf eine Spannungsabhängigkeit des Modellkoeffizienten  $n$ , im Alterungsmodell (3) wurde aber ein konstanter Wert eingesetzt. Für den in [11] definierten Fit-Bereich passen die Simulationsdaten dennoch nahezu ideal.

Nachdem die Anwendbarkeit des Alterungsmodells (3) für konstanten und zeitvariablen Stress anhand von Messdaten nachgewiesen werden konnte, kann nun die Alterung von Anwendungsschaltungen untersucht werden. Ein Beispiel stellt der in Abb. 6 gezeigte digitale Ringoszillator dar. Er besteht aus einem NAND2-Gatter zum Ein- und Abschalten sowie 6 Invertern. Es wird der folgende typische Anwendungsfall angenommen:

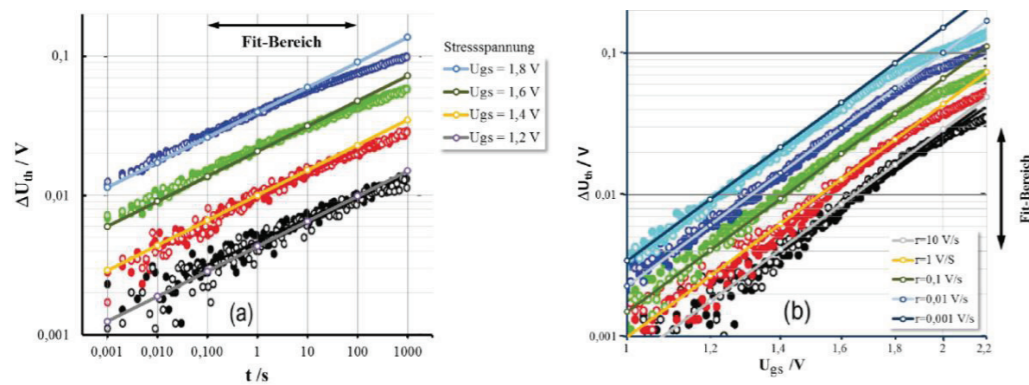


Abb. 5: Vergleich von Simulationsdaten mit Messdaten aus [11], (a) konstanter Stress, (b) zeitvariabler Stress

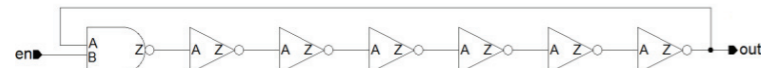


Abb. 6: 7-stufiger digitaler Ringoszillator

- Betriebsbedingungen sind die Temperatur  $T = 125\text{ °C}$  die Spannung  $U_{DD} = 1,1\text{ V}$ .
- Das Steuersignal  $en$  wird für  $0 \leq t \leq 10\text{ ps}$  auf  $0\text{ V}$  gehalten, zwischen  $t = 10\text{ ps}$  und  $t = 11\text{ ps}$  linear auf die Betriebsspannung  $U_{DD}$  erhöht und dann konstant gehalten.
- Die Simulationszeit ist mit  $t_{sim} = 2\text{ ns}$  vorgegeben.

CHRONOS bestimmt die Schwellspannungsverschiebungen  $\Delta U_{th}$  aller N-Kanal-Transistoren der Schaltung. Tab. 1 fasst beispielhaft zwei dieser Werte und die Frequenz des Oszillators über dessen Alter zusammen. Die Oszillationsfrequenz nimmt von ursprünglich  $f = 2,278\text{ GHz}$  nach  $t_{age} = 24\text{ h}$  um  $3,8\%$ , nach  $t_{age} = 100\text{ h}$  um  $4,9\%$ , nach  $t_{age} = 10^3\text{ h}$  um  $7,4\%$  und nach  $t_{age} = 10^4\text{ h}$  um  $11,2\%$  ab. Ob eine solche Degradation mit den Anforderungen an die Schaltung vereinbart werden kann, muss an der konkreten Anwendung und Spezifikation evaluiert werden.

Tab. 1: Ausgewählte Ergebnisse der Alterungssimulation des 7-stufigen Oszillators: Schwellspannungsverschiebungen  $\Delta V_{th}$  der N-Kanal-Transistoren des NAND2-Gatters und Entwicklung der Frequenz; ND2/NA (ND2/NB): N-Kanal-Transistor im NAND2-Gatter, der von Eingang A (B) angesteuert wird

$t_{age}$ in h	$\Delta U_{th}$ in mV		Frequenz	
	ND2/NA	ND2/NB	f in GHz	relativ in %
0	0	0	2,278	100
24	18,66	20,81	2,192	96,2
100	24,13	26,90	2,167	95,1
1000	36,52	40,72	2,110	92,6
10000	55,28	61,64	2,022	88,8

## 5 ZUSAMMENFASSUNG UND AUSBLICK

Weil Zuverlässigkeit ein wesentliches Qualitätskriterium für integrierte Schaltkreise darstellt, ist Alterungssimulation ein wichtiger Punkt in der Schaltungsanalyse während des Entwurfs. Für diese Aufgabe wird CHRONOS als Alterungssimulator von Transistorschaltungen vorgestellt. Dieses in Java implementierte Programm kann das Schaltungsverhalten in Abhängigkeit vom Alter untersuchen, wenn die Schaltung eine Testbench für einen typischen Anwendungsfall und

mindestens ein Alterungsmodell vorhanden sind. Die XML-Schnittstellen von CHRONOS zu Design-Datenbasis, EDA-Programmen und PDK erlauben eine flexible Anpassung an unterschiedliche Entwurfsumgebungen. Zusätzlich bieten sie eine Möglichkeit für zukünftige Erweiterungen, die technologische Neuerungen erfordern können. Beispiele sind thermische Simulationen und Analysen sogenannter Safe-Operating-Areas von Transistoren [9].

Nutzen und Anwendbarkeit von CHRONOS werden anhand eines einfachen Modells für PBTI-Degradation von N-Kanal-Transistoren demonstriert. Als Beispiele können die an einem Einzeltransistor vorgenommenen Messungen in [11] per Simulation nachvollzogen und die Entwicklung der Frequenz eines digitalen Ringoszillators mit der Zeit ermittelt werden.

Ein noch nicht abschließend gelöstes Problem bei Alterungssimulationen sind die Degradationsmodelle. Sie müssen die physikalischen Effekte hinreichend genau beschreiben und sich in CHRONOS integrieren lassen. Das zur Illustration dargestellte PBTI-Modell ist ein einfaches Beispiel, bei dem der Relaxationseffekt vernachlässigt wurde. Alterungsinformationen sind stark technologieabhängig und müssen deshalb in die Technologieinformationen im PDK (Process Design Kit) aufgenommen werden. Ein Standard dafür existiert noch nicht, ist jedoch Gegenstand aktueller Entwicklungsarbeiten.

## ACKNOWLEDGEMENTS

Diese Arbeit wurde durch das Bundesministerium für Bildung und Forschung (BMBF) im Rahmen des Projekts „Design for Reliability of SoCs for Applications like Transportation, Medical, and Industrial Automation (RELY)“ mit dem Förderkennzeichen 16M3091C unterstützt.

## REFERENZEN

- [1] International Technology Roadmap for Semiconductors, 2011 Edition, <http://www.itrs.net/>
- [2] T. Grasser et al.: A Two-Stage Model for Negative Bias Temperature Instability. IEEE International Reliability Physics Symposium (IRPS), S. 33-44, 26.-30. April 2009.
- [3] J. Velamala et al.: Ageing statistics based on trapping/detrapping: Silicon evidence, modeling and long-term prediction. IEEE International Reliability Physics Symposium (IRPS), S. 2F.2.1-2F.2.5, 15.-19. April 2012.
- [4] F. Cacho et al.: Hot Carrier Injection degradation induced dispersion: Model and circuit-level measurement. IEEE International Integrated Reliability Workshop (IIRW), S. 137-141, 16.-20. Oktober 2011.
- [5] H. Reisinger et al.: The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress. IEEE International Reliability Physics Symposium (IRPS), S. 7-15, 2.-6. Mai 2010.
- [6] E. Maricau et al.: A Compact NBTI Model for Accurate Analog Integrated Circuit Reliability Simulation. European Solid-State Device Research Conference (ESSDERC), S. 147-150, 12.-16. September, 2011.
- [7] Cadence Design Systems, Inc.: Reliability Simulation in Integrated Circuit Design. White Paper, [http://w2.cadence.com/whitepapers/5082\\_ReliabilitySim\\_FNL\\_WP.pdf](http://w2.cadence.com/whitepapers/5082_ReliabilitySim_FNL_WP.pdf), abgerufen am 07. März 2013.
- [8] Mentor Graphics: Eldo Classic. Datenblatt, [http://www.mentor.com/products/ic\\_nanometer\\_design/analog-mixed-signal-verification/eldo/upload/eldods.pdf](http://www.mentor.com/products/ic_nanometer_design/analog-mixed-signal-verification/eldo/upload/eldods.pdf), abgerufen am 07. März 2013.
- [9] Ch. Sohrmann: The DECO Framework: Reliability simulation based on a general design-environment communication approach. In Vorbereitung: edaWorkshop13, 14.-16. Mai 2013.
- [10] L. Müller: Aufbau einer Umgebung für die Simulation des Alterungsverhaltens von integrierten elektronischen Schaltungen. Diplomarbeit, Technische Universität Dresden, März 2013.
- [11] A. Kerber, S.A. Krishnan, E.A. Cartier: Voltage Ramp Stress for Bias Temperature Instability Testing of Metal-Gate/High-k Stacks. IEEE Electron Device Letters, Vol. 30, No. 12, S. 1347-1349, Dezember 2009.
- [12] St. Kupke et al.: Off-State induced  $V_{th}$  Relaxation after PBTI Stress. IEEE International Integrated Reliability Workshop (IIRW), S. 95-98, 14.-18. Oktober 2012.
- [13] Arizona State University, Nanoscale Integration and Modeling Group: Predictive Technology Models – 45 nm PTM LP model, V2.1. [ptm.asu.edu/modelcard/LP/45nm\\_LP.pm](http://ptm.asu.edu/modelcard/LP/45nm_LP.pm), abgerufen am 08. März 2013.